

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001837

International filing date: 08 February 2005 (08.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-035043
Filing date: 12 February 2004 (12.02.2004)

Date of receipt at the International Bureau: 07 April 2005 (07.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

14.02.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 2 月 1 2 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 3 5 0 4 3
[ST. 10/C]: [J P 2 0 0 4 - 0 3 5 0 4 3]

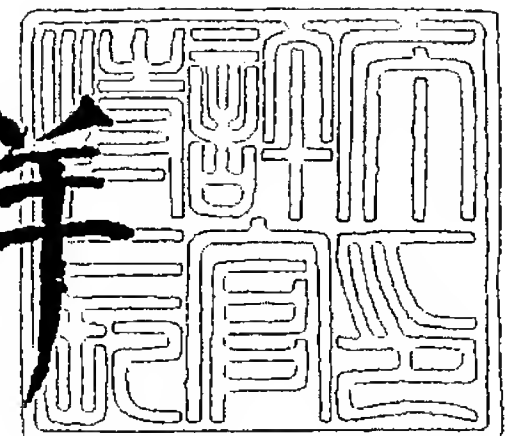
出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 3 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

小 川

洋



【書類名】 特許願
【整理番号】 2900750528
【提出日】 平成16年 2月12日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 19/177
【発明者】
 【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 パナソニックモバイルコミュニケーションズ株式会社内
 【氏名】 青山 恭弘
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 工藤 洋介
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100105050
 【弁理士】
 【氏名又は名称】 鷺田 公一
【手数料の表示】
 【予納台帳番号】 041243
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9700376

【書類名】 特許請求の範囲**【請求項 1】**

並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記入力信号制御手段は、前記入力信号に基づいて制御信号を前記複数の単位論理回路に与える手段と、インデクス指示信号を受けた時にインデクス情報を前記複数の単位論理回路に与える手段と、を有し、前記複数の単位論理回路の各々は、第 1 の設定情報のいずれかに基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行ってデータを生成する論理演算手段と、第 2 の設定情報のいずれかに基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第 1 及び第 2 の設定情報を記憶する記憶手段と、前記制御信号及び前記インデクス情報のいずれかを受けた時に当該制御信号及び当該インデクス情報のいずれかに基づいて前記記憶手段における前記第 1 及び第 2 の設定情報の格納位置アドレスの先頭位置を示す先頭位置アドレスを記憶するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記メモリ制御手段に記憶されている前記先頭位置アドレスに基づいて前記記憶手段から順次に読み出す前記第 1 及び第 2 の設定情報のいずれかに基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うプログラマブル論理回路。

【請求項 2】

前記論理演算手段は、前記第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行って前記データを生成するロジックセルを具備する請求項 1 に記載のプログラマブル論理回路。

【請求項 3】

前記データ処理手段は、前記第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行って前記データを生成するクロスコネクトスイッチを具備する請求項 1 又は請求項 2 に記載のプログラマブル論理回路。

【請求項 4】

前記データ処理手段は、前記クロスコネクトスイッチからの前記データを保持し前記出力信号として前記出力信号制御手段に与えるフリップフロップを具備する請求項 3 に記載のプログラマブル論理回路。

【請求項 5】

並列に接続されている複数の単位論理回路と、前記複数の単位論理回路における一の前記単位論理回路と当該一の前記単位論理回路に対して物理的配置上で隣接する他の前記単位論理回路とを接続する接続手段と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記入力信号制御手段は、前記入力信号に基づいて制御信号を前記複数の単位論理回路に与える手段と、インデクス指示信号を受けた時にインデクス情報を前記複数の単位論理回路に与える手段と、を有し、前記複数の単位論理回路の各々は、第 1 の設定情報のいずれかに基づいて機能の変更が可能であって前記入力信号又は隣接の前記他の単位論理回路からのデータに所定の論理演算処理を行ってデータを生成する論理演算手段と、第 2 の設定情報のいずれかに基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第 1 及び第 2 の設定情報を記憶する記憶手段と、前記制御信号及び前記インデクス情報のいずれかを受けた時に当該制御信号及び当該インデクス情報のいずれかに基づいて前記記憶手段における前記第 1 及び第 2 の設定情報の格納位置アドレスの先頭位置を示す先頭位置アドレスを記憶するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々は、前記メモリ制御手段に記憶されている前記先頭位置アドレスに基づいて前記記憶手段から順次に読み出す前記第 1 及び第 2 の設定情報のいずれかに基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順

次に変更して所定の順序回路の動作を行うプログラマブル論理回路。

【請求項 6】

前記論理演算手段は、前記第 1 の設定情報に基づいて機能の変更が可能であって前記入力信号又は隣接の前記他の単位論理回路からの前記データに所定の論理演算処理を行って前記データを生成するロジックセルを具備する請求項 5 に記載のプログラマブル論理回路。

【請求項 7】

前記データ処理手段は、前記第 2 の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行って前記データを生成するクロスコネクトスイッチを具備する請求項 5 又は請求項 6 に記載のプログラマブル論理回路。

【請求項 8】

前記データ処理手段は、前記クロスコネクトスイッチからの前記データを保持し前記出力信号として前記出力信号制御手段に与えるフリップフロップを具備する請求項 7 に記載のプログラマブル論理回路。

【書類名】 明細書

【発明の名称】 プログラマブル論理回路

【技術分野】

【0 0 0 1】

本発明は、プログラムすることにより所定の論理演算の機能を実現できるプログラマブル論理回路に関するものであり、特に、動的に内部構成を変化させながら処理を行うダイナミックプログラマブル論理回路に関するものである。

【背景技術】

【0 0 0 2】

従来のプログラマブル論理回路として、特許文献 1 に記載のものがある。この従来のプログラマブル論理回路は、動的相互接続アレーとラッチ回路とダイナミックロジックコアを用いて、具現化すべき回路を段階的に実行する動的再構成可能なフィールドプログラマブルロジックデバイスである。前記従来のプログラマブル論理回路においては、大規模な論理回路を実現する場合に、複数の前記プログラマブル論理回路を直列に接続して、各レベルの論理処理を順番に実行するようにしている。

【0 0 0 3】

この場合に、前記従来のプログラマブル論理回路においては、回路レベルを示す回路レベルカウンタと内部レベルを示す内部カウンタを用いて、第 1 のチップの内部レベルが規定のレベルまで達すると、次のチップを動作させるように制御している。すなわち、前記従来のプログラマブル論理回路においては、チップ単位に回路レベルを分割して具現化している。

【特許文献 1】 特表平 8 - 5 1 0 8 8 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら、従来のプログラマブル論理回路においては、より大規模な論理回路を実現しようとする、処理並列度を 1 チップに収まる程度に抑える必要があるため、処理時間が増加するという問題がある。また、従来のプログラマブル論理回路においては、処理時間を短縮するため、単一のチップに含まれるダイナミックロジックモジュールの個数を増加させることで処理並列度を高めると、これに比例して動的相互接続アレーの接続点が増加し必要となる設定情報が増大するため、実装回路面積が増大してしまうという問題がある。

【0 0 0 5】

本発明は、かかる点に鑑みてなされたものであり、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 6】

請求項 1 に記載のプログラマブル論理回路は、並列に接続されている複数の単位論理回路と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記入力信号制御手段は、前記入力信号に基づいて制御信号を前記複数の単位論理回路に与える手段と、インデクス指示信号を受けた時にインデクス情報を前記複数の単位論理回路に与える手段と、を有し、前記複数の単位論理回路の各々が、第 1 の設定情報のいずれかに基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行ってデータを生成する論理演算手段と、第 2 の設定情報のいずれかに基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第 1 及び第 2 の設定情報を記憶する記憶手段と、前記制御信号及び前記インデクス情報のいずれかを受けた時に当該制御信号及び当該インデクス情報のいずれかに基づいて前記記憶手段における前記第 1 及び第 2

の設定情報の格納位置アドレスの先頭位置を示す先頭位置アドレスを記憶するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々が、前記メモリ制御手段に記憶されている前記先頭位置アドレスに基づいて前記記憶手段から順次に読み出す前記第1及び第2の設定情報のいずれかに基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行う構成を採る。

【0007】

この構成によれば、複数の単位論理回路の各々が制御信号及びインデクス指示信号に基づいて記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。

【0008】

請求項2に記載のプログラマブル論理回路は、請求項1に記載の発明において、前記論理演算手段が、前記第1の設定情報に基づいて機能の変更が可能であって前記入力信号に所定の論理演算処理を行って前記データを生成するロジックセルを具備する構成を採る。

【0009】

この構成によれば、複数の単位論理回路の各々が制御信号及びインデクス指示信号に基づいて記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。

【0010】

請求項3に記載のプログラマブル論理回路は、請求項1又は請求項2に記載の発明において、前記データ処理手段が、前記第2の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行って前記データを生成するクロスコネクトスイッチを具備する構成を採る。

【0011】

この構成によれば、複数の単位論理回路の各々が制御信号及びインデクス指示信号に基づいて記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。

【0012】

請求項4に記載のプログラマブル論理回路は、請求項3に記載の発明において、前記データ処理手段が、前記クロスコネクトスイッチからの前記データを保持し前記出力信号として前記出力信号制御手段に与えるフリップフロップを具備する構成を採る。

【0013】

この構成によれば、複数の単位論理回路の各々が制御信号及びインデクス指示信号に基づいて記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。

【0014】

請求項5に記載のプログラマブル論理回路は、並列に接続されている複数の単位論理回路と、前記複数の単位論理回路における一の前記単位論理回路と当該一の前記単位論理回路に対して物理的配置上で隣接する他の前記単位論理回路とを接続する接続手段と、外部から受け取る入力信号を前記複数の単位論理回路に供給する入力信号制御手段と、前記複数の単位論理回路の出力信号を外部に供給する出力信号制御手段と、を具備し、前記入力信号制御手段は、前記入力信号に基づいて制御信号を前記複数の単位論理回路に与える手段と、インデクス指示信号を受けた時にインデクス情報を前記複数の単位論理回路に与え

る手段と、を有し、前記複数の単位論理回路の各々が、第1の設定情報のいずれかに基づいて機能の変更が可能であって前記入力信号又は隣接の前記他の単位論理回路からのデータに所定の論理演算処理を行ってデータを生成する論理演算手段と、第2の設定情報のいずれかに基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行ってデータを生成して前記出力信号として前記出力信号制御手段に与えるデータ処理手段と、前記第1及び第2の設定情報を記憶する記憶手段と、前記制御信号及び前記インデクス情報のいずれかを受けた時に当該制御信号及び当該インデクス情報のいずれかに基づいて前記記憶手段における前記第1及び第2の設定情報の格納位置アドレスの先頭位置を示す先頭位置アドレスを記憶するメモリ制御手段と、を具備し、前記複数の単位論理回路の各々が、前記メモリ制御手段に記憶されている前記先頭位置アドレスに基づいて前記記憶手段から順次に読み出す前記第1及び第2の設定情報のいずれかに基づいて前記論理演算手段と前記データ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行う構成を採る。

【0015】

この構成によれば、複数の単位論理回路の各々が制御信号及びインデクス指示信号に基づいて記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。

【0016】

請求項6に記載のプログラマブル論理回路は、請求項5に記載の発明において、前記論理演算手段が、前記第1の設定情報に基づいて機能の変更が可能であって前記入力信号又は隣接の前記他の単位論理回路からの前記データに所定の論理演算処理を行って前記データを生成するロジックセルを具備する構成を採る。

【0017】

この構成によれば、複数の単位論理回路の各々が制御信号及びインデクス指示信号に基づいて記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。

【0018】

請求項7に記載のプログラマブル論理回路は、請求項5又は請求項6に記載の発明において、前記データ処理手段が、前記第2の設定情報に基づいて前記論理演算手段からの前記データの整列と複製と反転処理を行って前記データを生成するクロスコネクトスイッチを具備する構成を採る。

【0019】

この構成によれば、複数の単位論理回路の各々が制御信号及びインデクス指示信号に基づいて記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。

【0020】

請求項8に記載のプログラマブル論理回路は、請求項7に記載の発明において、前記データ処理手段が、前記クロスコネクトスイッチからの前記データを保持し前記出力信号として前記出力信号制御手段に与えるフリップフロップを具備する構成を採る。

【0021】

この構成によれば、複数の単位論理回路の各々が制御信号及びインデクス指示信号に基づいて記憶手段から順次に読み出す第1及び第2の設定情報に基づいて論理演算回路とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル

論理回路を提供することができる。

【発明の効果】

【0 0 2 2】

以上説明したように、本発明によれば、複数の単位論理回路の各々が、制御信号及びインデクス指示信号に基づいて記憶手段から順次に読み出す第 1 及び第 2 の設定情報に基づいて論理演算手段とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うため、高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供することができる。

【発明を実施するための最良の形態】

【0 0 2 3】

本発明の骨子は、複数の単位論理回路の各々が、記憶手段から順次に読み出す第 1 及び第 2 の設定情報に基づいて論理演算手段とデータ処理手段の一部又は全ての機能を順次に変更して所定の順序回路の動作を行うことである。

【0 0 2 4】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0 0 2 5】

(一実施の形態)

図 1 は、本発明の一実施の形態に係るプログラマブル論理回路の構成を示すブロック図である。

【0 0 2 6】

図 1 に示すように、本発明の一実施の形態に係るプログラマブル論理回路 1 0 0 は、複数のプロセッサエレメント 1 0 1、複数のメモリ装置 1 0 2、入出力制御部 1 0 3、制御バス 1 0 4、入力バス 1 0 5 及び出力バス 1 0 6 を具備している。プログラマブル論理回路 1 0 0 には、クロック生成回路 1 0 7 及びユーザー回路 1 0 8 が接続されている。

【0 0 2 7】

複数のプロセッサエレメント 1 0 1 と複数のメモリ装置 1 0 2 とは、1 対 1 で接続されている。1 対 1 で接続されているプロセッサエレメント 1 0 1 とメモリ装置 1 0 2 とは、単位論理回路を構成している。複数の単位論理回路は、並列に接続されている。

【0 0 2 8】

複数のプロセッサエレメント 1 0 1 の各々は、1 次元的に 1 列状に配置されており、物理配置上で隣接する 2 つの他のプロセッサエレメント 1 0 1 と接続線 1 0 1 a で接続されている。すなわち、複数の単位論理回路は、1 次元的に 1 列状に配置されており、複数の単位論理回路における一の前記単位論理回路と当該一の前記単位論理回路に対して物理的配置上で隣接する他の前記単位論理回路とは、接続線 1 0 1 a で接続されている。

【0 0 2 9】

プロセッサエレメント 1 0 1 は、接続線を用いて隣接する 2 つの他のプロセッサエレメント 1 0 1 との間でデータの受け渡しを行う。

【0 0 3 0】

入出力制御部 1 0 3 は、外部とのインターフェース回路となっており、ユーザー回路 1 0 8 と接続されている。入出力制御部 1 0 3 は、ユーザー回路 1 0 8 から入力信号 1 0 8 1 及びインデクス指示信号 1 0 8 2 を受ける。制御バス 1 0 4 は、入出力制御部 1 0 3 及びプロセッサエレメント 1 0 1 と接続されている。制御バス 1 0 4 は、初期化及び起動等の制御信号を入出力制御部 1 0 3 から受け取り、各プロセッサエレメント 1 0 1 に転送する。入力バス 1 0 5 は、入出力制御部 1 0 3 及びプロセッサエレメント 1 0 1 と接続されている。入力バス 1 0 5 は、論理演算に用いるデータを入出力制御部 1 0 3 から受け取り、各プロセッサエレメント 1 0 1 に転送する。

【0 0 3 1】

出力バス 1 0 6 は、入出力制御部 1 0 3 及びプロセッサエレメント 1 0 1 と接続されている。出力バス 1 0 6 は、演算結果のデータをプロセッサエレメント 1 0 1 から受け取り、入出力制御部 1 0 3 に転送する。クロック生成回路 1 0 7 は、内部クロック信号 1 0 9

及びユーザークロック信号 1 1 0 を生成する。ユーザークロック信号 1 1 0 は、ユーザ回路 1 0 8 及び入出力制御部 1 0 3 で使用される。内部クロック信号 1 0 9 は、ユーザークロック信号 1 1 0 の逡倍の周波数となっており、プログラマブル論理回路 1 0 0 の内部で使用される。インデックスバス 1 1 1 は、入出力制御部 1 0 3 及びプロセッサエレメント 1 0 1 と接続されている。

【 0 0 3 2 】

次に、本プログラマブル論理回路 1 0 0 の機能に関して、図面を参照して説明する。

【 0 0 3 3 】

図 1 において、プログラマブル論理回路 1 0 0 が行う論理演算処理の内容は、メモリ装置 1 0 2 に設定情報として保持されている。各プロセッサエレメント 1 0 1 は、メモリ装置 1 0 2 の設定情報を順次に読み出して、対応する論理演算処理を行う。プログラマブル論理回路 1 0 0 は、ユーザ回路 1 0 8 からユーザークロック信号 1 1 0 に同期して起動信号及び論理演算に用いるデータを受ける。これから一定時間経過後に、プログラマブル論理回路 1 0 0 は、論理演算処理後のデータをユーザ回路 1 0 8 にユーザークロック信号 1 1 0 に同期して与える。

【 0 0 3 4 】

次に、プログラマブル論理回路 1 0 0 の内部ブロックの機能に関して、図面を参照して説明する。

【 0 0 3 5 】

図 1 において、各メモリ装置 1 0 2 には、隣接のプロセッサエレメント 1 0 1 の設定情報が格納されている。メモリ装置 1 0 2 は、プロセッサエレメント 1 0 1 から制御信号とメモリアドレスが入力されると、アドレスで指定された設定情報をプロセッサエレメント 1 0 1 に与える。プロセッサエレメント 1 0 1 は、この設定情報に基づいて、実行する処理内容を決定する。

【 0 0 3 6 】

プロセッサエレメント 1 0 1 は、制御バス 1 0 4 から初期化信号が入力されると、メモリ装置 1 0 2 の特定のアドレスを読み出し、入力される読み出しデータから設定情報の格納位置アドレスを抽出して保持する。この格納位置アドレスは、設定情報の先頭位置を示すアドレスである。

【 0 0 3 7 】

また、プロセッサエレメント 1 0 1 は、制御バス 1 0 4 から起動信号が入力されると、メモリ装置 1 0 2 の前記保持した格納位置アドレスから順次に設定情報を読み出す。さらに、プロセッサエレメント 1 0 1 は、入力バス 1 0 5 及び隣接のプロセッサエレメント 1 0 1 から論理処理用のデータを受け取り、設定情報に基づいてデータの論理処理を行った後にデータの整列、複製及び反転処理を行い、かつ、処理後のデータの保持を行う。また、プロセッサエレメント 1 0 1 は、保持した処理後のデータを出力バス 1 0 6 及び隣接のプロセッサエレメント 1 0 1 に出力する。

【 0 0 3 8 】

このようにして、複数のプロセッサエレメント 1 0 1 は、データの受け渡しを行う。入出力制御部 1 0 3 は、ユーザ回路 1 0 8 からユーザークロック信号 1 1 0 に同期した起動信号及び論理処理用データを受け取り、このデータを内部クロック信号 1 0 9 に同期させて入力バス 1 0 5 に与える。また、入出力制御部 1 0 3 は、ユーザ回路 1 0 8 からユーザークロック信号 1 1 0 に同期した初期化信号を受け取り、このデータを内部クロック信号 1 0 9 に同期させて入力バス 1 0 5 に出力する。また、入出力制御部 1 0 3 は、出力バス 1 0 6 から内部クロック信号 1 0 9 に同期した論理処理後のデータを受け取り、このデータをユーザークロック信号 1 1 0 に同期させてユーザ回路 1 0 8 に出力する。このようにして、入出力制御部 1 0 3 は、ユーザ回路 1 0 8 との制御信号、論理処理用及び処理結果のデータの受け渡しを行う。

【 0 0 3 9 】

次に、プログラマブル論理回路 1 0 0 の内部のプロセッサエレメント 1 0 1 の構成につ

いて、図面を参照して説明する。

【0040】

図2は、プロセッサエレメント101の構成を示している。図2に示すように、プロセッサエレメント101は、ロジックエレメント200及びメモリ制御部201を具備している。プロセッサエレメント101は、メモリ装置102、制御バス104、入力バス105及び出力バス106と接続されている。メモリ制御部201は、メモリ装置102、ロジックエレメント200及び制御バス104と接続されている。ロジックエレメント200は、隣接のプロセッサエレメント101のロジックエレメント200及びメモリ制御部201、入力バス105及び出力バス106と接続されている。

【0041】

次に、プロセッサエレメント101の機能について、図面を参照して説明する。図2において、メモリ制御部201は、制御バス104から初期化信号を受けると、前述した格納位置アドレスの抽出及び保持の処理を行う。メモリ制御部201は、制御バス104から起動信号が入力されると、メモリ装置102の前記保持した格納位置アドレスから順次に設定情報を読み出し、一時的に記憶してロジックエレメント200に転送する。

【0042】

ロジックエレメント200は、入力バス105及び隣接のプロセッサエレメント101からデータを受け取り、メモリ制御部201から転送される設定情報に基づいてデータの論理処理を行った後にデータの整列、複製及び反転処理を行い、かつ、処理後のデータの保持を行う。また、ロジックエレメント200は、メモリ制御部201から転送される設定情報に基づいて、出力バス106及び隣接のプロセッサエレメント101に処理後のデータを出力する。

【0043】

次に、プロセッサエレメント101の内部のロジックエレメント200の構成及び設定情報の構成について、図面を参照して説明する。

【0044】

図3には、ロジックエレメント200の構成が示されている。図4には、設定情報とメモリ装置102の構成が示されている。

【0045】

図3において、ロジックエレメント200は、ロジックセル（論理演算回路）300、クロスコネクトスイッチ（データ処理装置）301及びフリップフロップ302を具備している。ロジックエレメント200は、メモリ制御部201、入力バス105及び出力バス106と接続されている。ロジックセル300は、メモリ制御部201、フリップフロップ302及びクロスコネクトスイッチ301と接続されている。クロスコネクトスイッチ301は、メモリ制御部201、ロジックセル300、フリップフロップ302、入力バス105及び隣接のロジックエレメント200の内部のロジックセル300と接続されている。フリップフロップ302は、ロジックセル300、クロスコネクトスイッチ301及び出力バス106と接続されている。

【0046】

なお、ロジックセル300は、論理演算回路を構成している。また、クロスコネクトスイッチ301は、データ処理装置を構成している。また、クロスコネクトスイッチ301及びフリップフロップ302は、データ処理装置を構成している。

【0047】

図4は、メモリ装置の構成を示している。図4において、メモリ装置102の内部の先頭部分には、設定情報の格納アドレス情報が格納されている。メモリ装置102の内部における先頭部分以外の特定領域には、設定情報が格納されている。

【0048】

図4において、ビット25～28はロジックセル300の設定情報であり、ビット0～24はクロスコネクトスイッチ301の接続情報である。ビット0～24は、5ビット単位にクロスコネクトスイッチ301の5つの出力に対応する4ビットの接続情報及び1ビ

ットの反転制御情報から構成されている。

【0 0 4 9】

次に、ロジックエレメント 2 0 0 の機能について、図面を参照して説明する。図 3 において、ロジックセル 3 0 0 は、フリップフロップ 3 0 2 から入力されるデータに対し、メモリ制御部 2 0 1 から転送される設定情報によって指定される特定の論理処理を行い、クロスコネクトスイッチ 3 0 1、隣接のプロセッサエレメント 1 0 1 のロジックエレメント 2 0 0 へ処理後のデータを出力する。クロスコネクトスイッチ 3 0 1 は、ロジックセル 3 0 0、入力バス 1 0 5、隣接のプロセッサエレメント 1 0 1 のロジックエレメント 2 0 0 から入力されるデータに対し、メモリ制御部 2 0 1 から転送される設定情報によって指定される特定のデータの整列、複製及び反転処理を行い、フリップフロップ 3 0 2 へ処理後のデータを出力する。フリップフロップ 3 0 2 は、クロスコネクトスイッチ 3 0 1 から入力されるデータを、内部クロック信号 1 0 9 のタイミングで保持する。フリップフロップ 3 0 2 は、保持したデータをロジックセル 3 0 0 及び出力バス 1 0 6 に出力する。

【0 0 5 0】

次に、ロジックセル 3 0 0 の機能及び動作について、具体例を用いて説明する。

【0 0 5 1】

図 5 において、ロジックセル 3 0 0 に対し設定情報の 2 ビット及び入力データの 2 ビットが入力され、ロジックセル 3 0 0 は出力データの 1 ビットを出力している。図 6 は、この場合のロジックセル 3 0 0 の機能及び動作の例を示している。図 6 において、設定情報が 0 0 である時には、ロジックセル 3 0 0 は入力データの論理和 (O R) を出力する。設定情報が 0 1 である時には、ロジックセル 3 0 0 は入力データの論理積 (A N D) を出力する。設定情報が 1 0 である時には、ロジックセル 3 0 0 は入力データの排他的論理和 (X O R) を出力する。設定情報が 1 1 である時には、ロジックセル 3 0 0 は入力データの論理和の反転データ (N O R) を出力する。このように、ロジックセル 3 0 0 は、設定情報に基づいて、異なる複数の論理機能を実現可能な回路である。

【0 0 5 2】

次に、クロスコネクトスイッチ 3 0 1 の機能について、具体例を用いて説明する。

【0 0 5 3】

図 7 には、クロスコネクトスイッチ 3 0 1 の内部ブロック及び機能の例が示されている。図 7 において、クロスコネクトスイッチ 3 0 1 の内部の相互接続部 7 0 0 に対し設定情報の 4 ビット並びに入力データ A、B、C の 3 ビット及びロウレベルが入力され、相互接続部 7 0 0 から出力データ O U T 1、O U T 2 の 2 ビットが出力されている。さらに、相互接続部 7 0 0 の各出力データは、設定情報の 1 ビットと排他的論理和 (X O R) がとられ、外部に出力される。この X O R は、クロスコネクトスイッチ 3 0 1 からの出力データを設定情報に基づいてビット単位に反転するためのものである。この場合、出力数は 2 であるので X O R 部分に 2 ビットの設定情報が使用されるため、クロスコネクトスイッチ 3 0 1 の全体で使用する設定情報は合計 6 ビットとなる。

【0 0 5 4】

図 8 は、この場合の相互接続部 7 0 0 の機能例を示している。図 8 において、相互接続部 7 0 0 は、設定情報の M S B の 2 ビットが O U T 1 に出力されるデータを選択し、L S B の 2 ビットが O U T 2 に出力されるデータを選択している。相互接続部 7 0 0 は、設定情報が 0 0 である時には入力データ A を出力し、設定情報が 0 1 である時には入力データ B を出力する。相互接続部 7 0 0 は、設定情報が 1 0 である時には入力データ C を出力し、設定情報が 1 1 である時にはロウレベルを出力する。

【0 0 5 5】

このように、クロスコネクトスイッチ 3 0 1 は、設定情報に基づいて複数の入力データの整列、複製及び反転処理が可能であり、また、設定情報に設定された固定値を出力することも可能な回路である。

【0 0 5 6】

次に、プログラマブル論理回路 1 0 0 の動作について、図面を参照して説明する。図 9

及び図 1 0 には、プログラマブル論理回路 1 0 0 の動作タイミングの例が示されている。図 9 には、外部からの初期化の動作が表されている。図 1 0 には、外部からの起動及び実際の論理処理の動作が表されている。

【 0 0 5 7 】

まず、T 1 期間において、入出力制御部 1 0 3 は、ユーザー回路 1 0 8 からユーザークロック信号 1 1 0 に同期した初期化信号 9 0 0 を受けて内部初期化信号 9 0 1 として保持する。T 2 期間において、入出力制御部 1 0 3 は、保持した内部初期化信号 9 0 1 を内部クロック信号 1 0 9 に同期させて制御バス 1 0 4 に出力する。制御バス 1 0 4 の内部初期化信号 9 0 2 は、すべてのプロセッサエレメント 1 0 1 のメモリ制御部 2 0 1 に入力される。

【 0 0 5 8 】

T 3 期間において、プロセッサエレメント 1 0 1 のメモリ制御部 2 0 1 は、入力された内部初期化信号 9 0 2 をトリガにして、メモリ装置 1 0 2 の特定のアドレス 9 0 4 に対し、読み出し信号 9 0 3 を出力する。その後、メモリ制御部 2 0 1 は、入力される読み出しデータ 9 0 5 を保持データ 9 0 6 として一度保持し、この保持データ 9 0 6 から設定情報の格納位置アドレス 9 0 7 を抽出して保持する。T 1 ~ T 3 の動作により、設定情報の格納位置アドレス 9 0 7 が各プロセッサエレメント 1 0 1 に記憶され、いつでも処理を実行できる状態となる。

【 0 0 5 9 】

T 4 期間において、プログラマブル論理回路 1 0 0 は、起動待ち状態である。T 5 期間において、入出力制御部 1 0 3 は、ユーザー回路 1 0 8 からユーザークロック信号 1 1 0 に同期した起動信号 1 0 0 0 及び内部処理用データ 1 0 0 1 を受け取って内部起動信号 1 0 0 2 及び内部処理用データ 1 0 0 3 として保持する。T 6 期間において、入出力制御部 1 0 3 は、保持した内部起動信号 1 0 0 2 を内部クロック信号 1 0 9 に同期させて制御バス 1 0 4 に出力する。また、入出力制御部 1 0 3 は、保持した内部処理用データ 1 0 0 3 を内部クロック信号 1 0 9 に同期させて入力バス 1 0 5 に出力する。

【 0 0 6 0 】

制御バス 1 0 4 の内部起動信号 1 0 0 4 は、すべてのプロセッサエレメント 1 0 1 のメモリ制御部 2 0 1 に入力される。入力バス 1 0 5 の論理処理用データ 1 0 0 5 は、すべてのプロセッサエレメント 1 0 1 のロジックエレメント 2 0 0 に入力される。T 7 期間において、各プロセッサエレメント 1 0 1 のメモリ制御部 2 0 1 は、入力された内部起動信号 1 0 0 4 をトリガにして、メモリ装置 1 0 2 の T 3 期間において保持した格納位置アドレス 1 0 0 7 に対し読み出し信号 9 0 3 を出力する。T 8 期間において、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 から出力される読み出しデータ 9 0 5 を保持データ 9 0 6 として保持する。同時に、メモリ制御部 2 0 1 は、メモリ装置 1 0 2 の次のアドレスに対し、読み出し信号 9 0 3 を出力する。

【 0 0 6 1 】

T 9 期間において、各メモリ制御部 2 0 1 は、保持データ 9 0 6 をロジックエレメント 2 0 0 に出力する。また、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 から出力される読み出しデータ 9 0 5 を保持する。同時に、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 の次のアドレスに対し、読み出し信号を出力する。各ロジックエレメント 2 0 0 は、入力される保持データ（設定情報） 9 0 6 に基づいて、入力バス 1 0 5 からの論理処理用データ 1 0 0 5 の整列、複製及び反転処理を行い、処理後のデータを内部のフリップフロップ 3 0 2 に保持する。

【 0 0 6 2 】

T 1 0 期間において、各メモリ制御部 2 0 1 は、保持データ 9 0 6 をロジックエレメント 2 0 0 に出力する。また、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 から出力される読み出しデータ 9 0 5 を内部に保持する。同時に、各メモリ制御部 2 0 1 は、メモリ装置 1 0 2 の次のアドレスに対して読み出し信号を出力する。

【 0 0 6 3 】

各ロジックエレメント200は、フリップフロップ302、入力バス105及び隣接のプロセッサエレメント101からの論理処理用データ1005を、入力される保持データ(設定情報)906に基づいて論理処理を行って、処理後のデータをフリップフロップ302に保持する。以下、T10期間の処理を繰り返すことにより、一つの論理処理を実現する。

【0064】

すべての期間において、フリップフロップ302のデータは、出力バス106に出力されており、入出力制御部103は、このデータを常に内部クロック信号109に同期して保持している。入出力制御部103は、保持データをユーザークロック信号110に同期してユーザ回路108に出力する。ユーザ回路108は、入力されるデータのフラグを参照し、出力データ(論理処理後のデータ)を保持する、又は、決められた期間後のデータを保持する。

【0065】

次に、特定の論理処理機能をプログラマブル論理回路100にマッピングした例を、図面を参照して説明する。説明を簡潔に行うため、動作例で示したT9、T10期間のロジックエレメント200の動作のみを説明する。

【0066】

図11は、2入力2出力のロジックセル300の機能を示している。図12は、ロジックセル300を持つプログラマブル論理回路100に対して、4ビットの比較回路をマッピングした場合の例を示している。図12において、縦方向には物理的に異なる4つのプロセッサエレメント101が示されており、横方向には同一のプロセッサエレメント101が各サイクルでどのような処理を行うかが示されている。

【0067】

図13は、4ビットの比較回路を示している。図13に示すように、入力データとして、IN0～7の8ビットデータがあり、IN0～3とIN4～7の比較結果が1ビットのデータとして出力される。

【0068】

図12において、ロジックセル(LC)300の入力及び出力は、上側がLSBであり、下側がMSBである。また、ロジックセル(LC)300の下部に記載されているデータは、ロジックセル(LC)300に対する設定情報である。複数のロジックセル(LC)300は、図13に示すように動作する。まず、サイクル1及び2において、複数のロジックセル(LC)300は入力データをビット単位に整列する。サイクル3において、複数のロジックセル(LC)300は各ビットに対してXNORの処理を行う。サイクル4において、複数のロジックセル(LC)300はサイクル3の結果に対してAND処理を行う。サイクル5において、複数のロジックセル(LC)300はサイクル4の結果に対してAND処理を行う。サイクル6において、複数のロジックセル(LC)300は比較結果を出力する。結果として、内部クロック信号109の6サイクルで出力が確定される。内部クロック信号109のクロック数がユーザークロック信号110のクロック数の6倍である時に、ユーザ回路108からは、1クロックで比較処理が完了したように見える。

【0069】

次に、入出力制御部103がユーザ回路108からインデクス指示信号1082を受けた時における動作について、図面を参照して説明する。

【0070】

図1に示すように、ユーザは、ユーザ回路108を操作することにより、第1及び第2の設定情報のうちの所望のものを優先的に指定するためのインデクス指示信号をユーザ回路108に生成させることができる。ユーザ回路108は、インデクス指示信号1082を入出力制御部103に与える。

【0071】

図2及び図3に示すように、入出力制御部103は、インデクス指示信号1082を受

けた時にこのインデクス指示信号 1 0 8 2 に応じたインデクス情報を生成してインデクスバス 1 1 1 を介してプロセッサエレメント 1 0 1 のメモリ制御部 2 0 1 に与える。

【0 0 7 2】

メモリ制御部 2 0 1 は、インデクス情報を受けた時にインデクス情報に基づいてメモリ装置 1 0 2 の特定のアドレスを読み出し、設定情報の格納位置アドレスの先頭位置を示す先頭位置アドレスを抽出して記憶する。

【0 0 7 3】

ロジックエレメント 2 0 0 は、入出力制御部 1 0 3 からデータ及び制御信号を受けると、メモリ制御部 2 0 1 に記憶されている設定情報の格納位置アドレスの先頭位置を示す先頭位置アドレスに基づいて、前述のように、メモリ装置 1 0 2 から順次に読み出す設定情報のいずれかに基づいてロジックセル 3 0 0 とクロスコネクトスイッチ 3 0 1 の一部又は全ての機能を順次に変更して所定の順序回路の動作を行う。

【0 0 7 4】

このように、プログラマブル論理回路 1 0 0 は、単体動作を行うプロセッサエレメント 1 0 1 の集合体であり、各プロセッサエレメント 1 0 1 は、主に隣接のプロセッサエレメント 1 0 1 との間で連帯動作を行う。また、複数の隣接のプロセッサエレメント 1 0 1 が一つのグループとして、一つの論理処理を行うことも可能である。

【0 0 7 5】

以上説明したように、本発明の一実施の形態に係るプログラマブル論理回路 1 0 0 は、複数のプロセッサエレメント 1 0 1 が独立に動作することも連帯動作することも可能であり、複数種類の論理処理を同時に並列的に行うことが可能であり、かつ、一つの論理処理を連帯して行うことも可能となっている。

【0 0 7 6】

また、本発明の一実施の形態に係るプログラマブル論理回路 1 0 0 は、同一のエレメントが 1 次元的に 1 列状に配列されているため、実装規模に応じて柔軟に対応可能であり、拡張性が高い。また、本発明の一実施の形態に係るプログラマブル論理回路 1 0 0 は、データの送受を隣接のプロセッサエレメント 1 0 1 の間に限定することにより、設定情報を大幅に削減することが可能となり、回路面積を削減でき、かつ、実装する L S I のコスト及び消費電力を削減できる。

【0 0 7 7】

また、本発明の一実施の形態に係るプログラマブル論理回路 1 0 0 は、実装エレメント数に関係なく、任意のプロセッサエレメント 1 0 1 のフリップフロップから隣接する他のプロセッサエレメント 1 0 1 のフリップフロップまでの配線距離が最小限かつ一定であるため、動作周波数を限界にまで引き上げることが可能となり、従来のプログラマブルロジックに比して、高速動作が可能となっている。

【0 0 7 8】

また、本発明の一実施の形態に係るプログラマブル論理回路 1 0 0 は、同一の回路上で、繰り返し機能を変更しながら処理を行うため、回路面積を削減でき、かつ、実装する L S I のコスト及び消費電力を削減できる。

【0 0 7 9】

なお、本発明の一実施の形態において、内部クロック信号 1 0 9 は、必ずしもユーザークロック信号 1 1 0 の逡倍である必要がなく、例えば、入出力制御部 1 0 3 に適切なクロック乗せ換え回路を用いることで、ユーザークロック信号 1 1 0 に同期しないクロック信号を内部クロック信号として用いてもよい。

【0 0 8 0】

また、本発明の一実施の形態において、メモリ装置 1 0 2 は、プログラマブル論理回路 1 0 0 の内部に存在する必要がなく、プログラマブル論理回路 1 0 0 の外部に存在する構成でもよい。また、本発明の実施の形態 1 において、クロック生成回路 1 0 7 は、プログラマブル論理回路 1 0 0 の内部に配設してもよい。

【0 0 8 1】

また、本発明の一実施の形態において、メモリ装置 1 0 2 とプロセッサエレメント 1 0 1 との間にマルチプレクサなどの選択回路を挿入して、設定によりメモリ装置 1 0 2 と各プロセッサエレメント 1 0 1 との接続を変更可能にしてもよい。ただし、この場合にはデータの処理の遅延量が増加するため、周波数を維持するためには、パイプライン等を用いて高速化を図る必要がある。

【0 0 8 2】

また、本発明の一実施の形態において、図 3 に示すロジックエレメント 2 0 0 の内部の各ブロック、ロジックセル 3 0 0、クロスコネクトスイッチ 3 0 1 及びフリップフロップ 3 0 2 の間の接続及び前記各ブロックと入力バス 1 0 5、出力バス 1 0 6 及び隣接のロジックエレメント 2 0 0 との接続は、図 3 のものに限定されるものではなく、例えば、ロジックセル 3 0 0 とクロスコネクトスイッチ 3 0 1 の間にフリップフロップを設けて、さらに動作周波数を高めてもよい。また、本発明の実施の形態 1 において、入力バス 1 0 5 からのデータはクロスコネクトスイッチ 3 0 1 ではなく、ロジックセル 3 0 0 又はフリップフロップ 3 0 2 に入力してもよい。

【0 0 8 3】

また、本発明の一実施の形態において、複数のプロセッサエレメント 1 0 1 の各々は、他のプロセッサエレメント 1 0 1 に接続されていなくてもよい。

【産業上の利用可能性】

【0 0 8 4】

本発明は、電子装置を制御する制御装置などに適用することができる。

【図面の簡単な説明】

【0 0 8 5】

【図 1】 本発明の一実施の形態に係るプログラマブル論理回路の構成を示すブロック図

【図 2】 本発明の一実施の形態に係るプログラマブル論理回路のプロセッサエレメントの構成を示すブロック図

【図 3】 本発明の一実施の形態に係るプログラマブル論理回路のプロセッサエレメントのロジックエレメントの構成を示すブロック図

【図 4】 本発明の一実施の形態に係るプログラマブル論理回路のメモリ装置の構成を示す図

【図 5】 本発明の一実施の形態に係るプログラマブル論理回路のプロセッサエレメントのロジックエレメントにおけるロジックセルの機能を説明するためのブロック図

【図 6】 本発明の一実施の形態に係るプログラマブル論理回路のプロセッサエレメントのロジックエレメントにおけるロジックセルの動作を説明するための図

【図 7】 本発明の一実施の形態に係るプログラマブル論理回路のプロセッサエレメントのクロスコネクトスイッチの構成を示すブロック図

【図 8】 本発明の一実施の形態に係るプログラマブル論理回路のプロセッサエレメントのクロスコネクトスイッチの動作を説明するための図

【図 9】 本発明の一実施の形態に係るプログラマブル論理回路の初期化時の動作を説明するためのタイミング図

【図 1 0】 本発明の一実施の形態に係るプログラマブル論理回路の起動時及びデータ処理時の動作を説明するためのタイミング図

【図 1 1】 本発明の一実施の形態に係るプログラマブル論理回路のプロセッサエレメントのロジックエレメントにおけるロジックセルの動作を説明するための図

【図 1 2】 本発明の一実施の形態に係るプログラマブル論理回路で 4 ビットの比較回路をマッピングした場合のプロセッサエレメントの動作を時間軸方向に展開した図

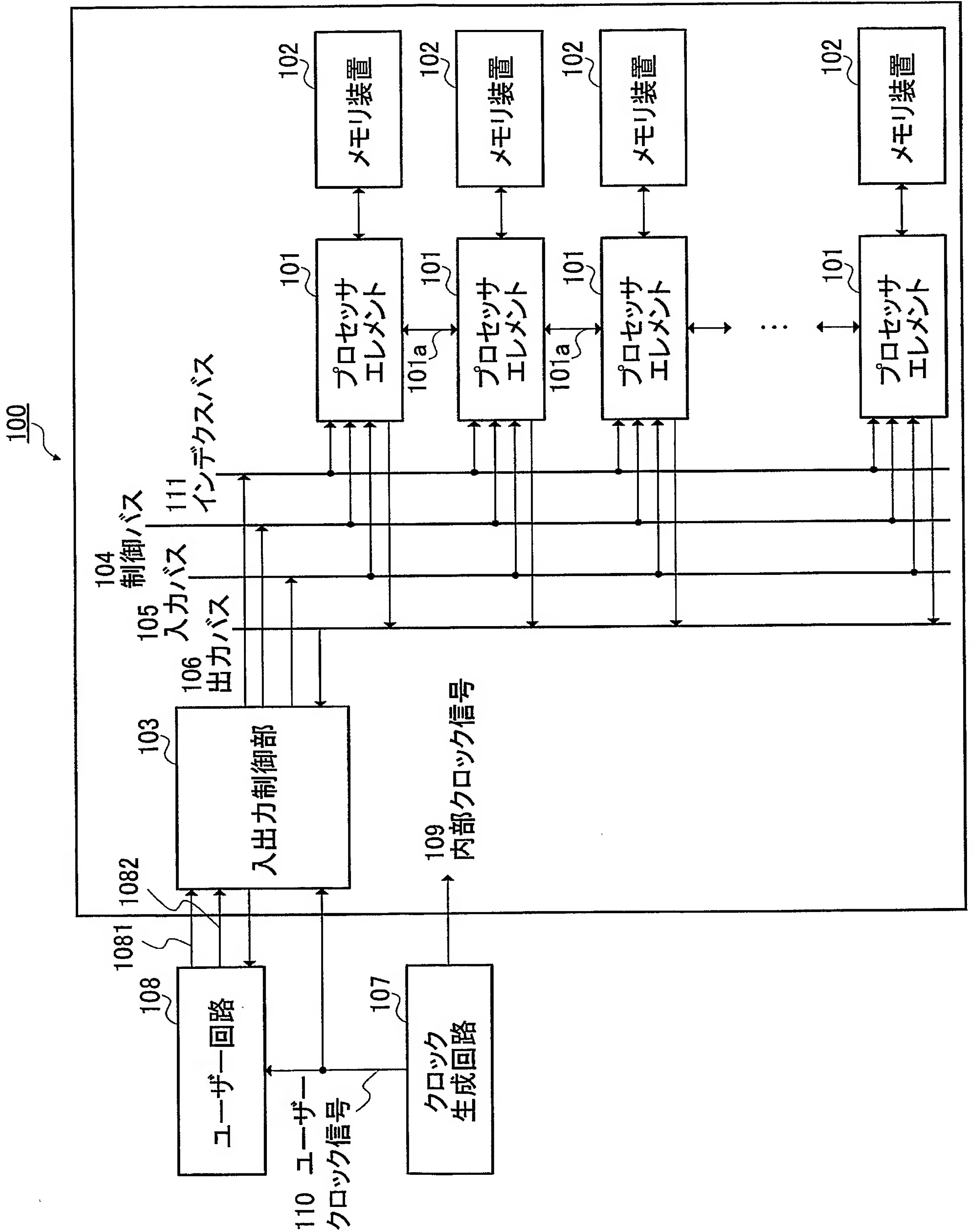
【図 1 3】 本発明の一実施の形態に係るプログラマブル論理回路で 4 ビットの比較回路をマッピングした場合のプロセッサエレメントで形成する 4 ビットの比較回路を示す回路図

【符号の説明】

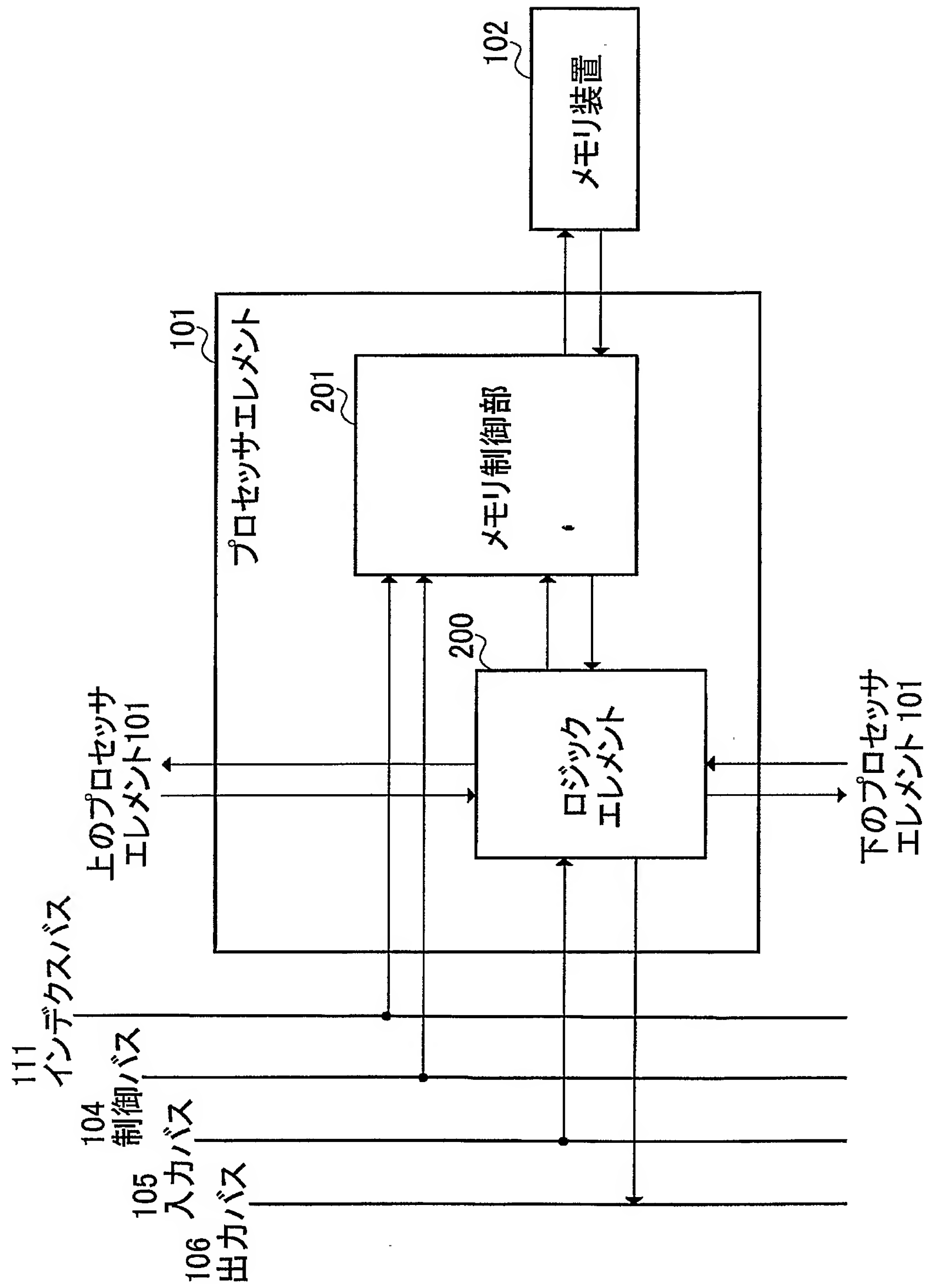
【 0 0 8 6 】

- 1 0 0 プログラマブル論理回路
- 1 0 1 プロセッサエレメント
- 1 0 1 a 接続線
- 1 0 2 メモリ装置
- 1 0 3 入出力制御部
- 1 0 4 制御バス
- 1 0 5 入力バス
- 1 0 6 出力バス
- 1 1 1 インデクスバス
- 2 0 0 ロジックエレメント
- 2 0 1 メモリ制御部
- 3 0 0 ロジックセル
- 3 0 1 クロスコネクトスイッチ
- 3 0 2 フリップフロップ

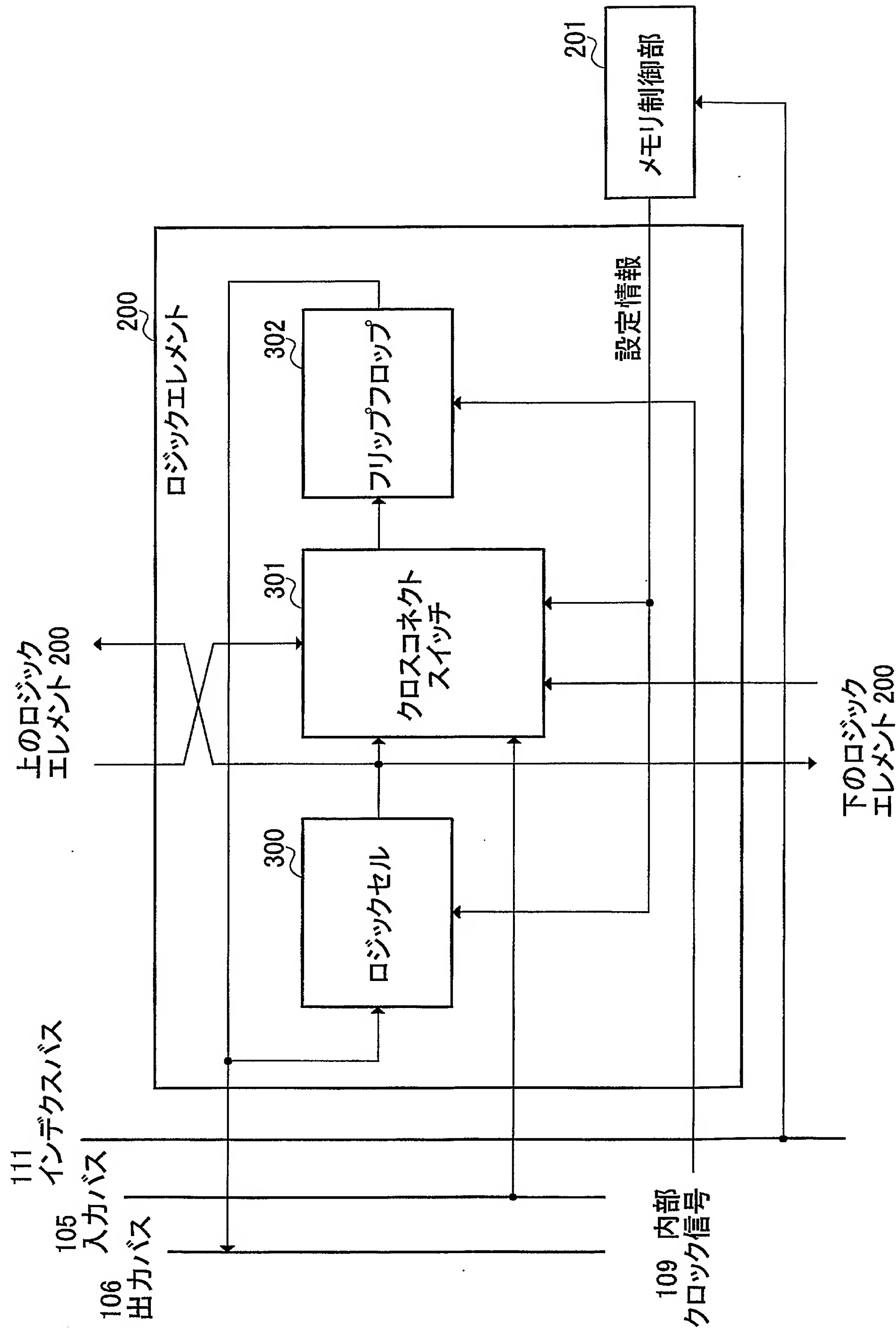
【書類名】 図面
【図 1】



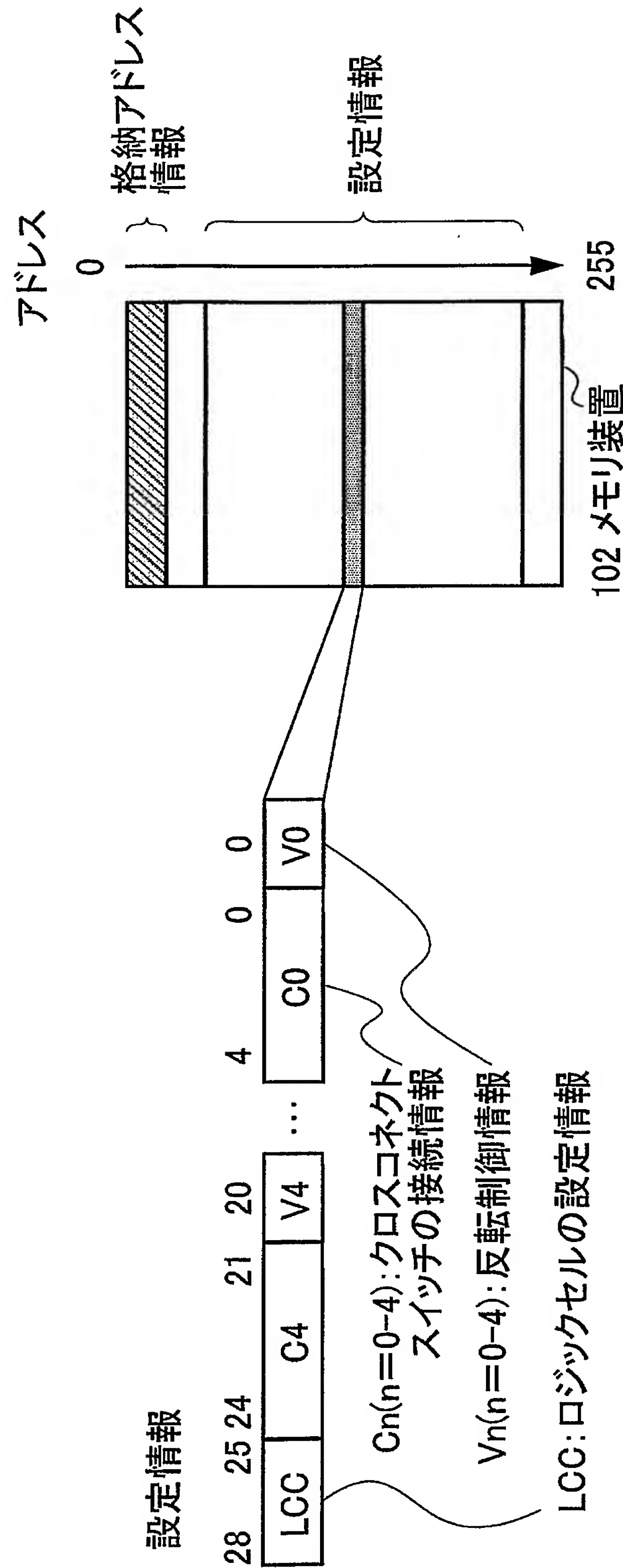
【図 2】



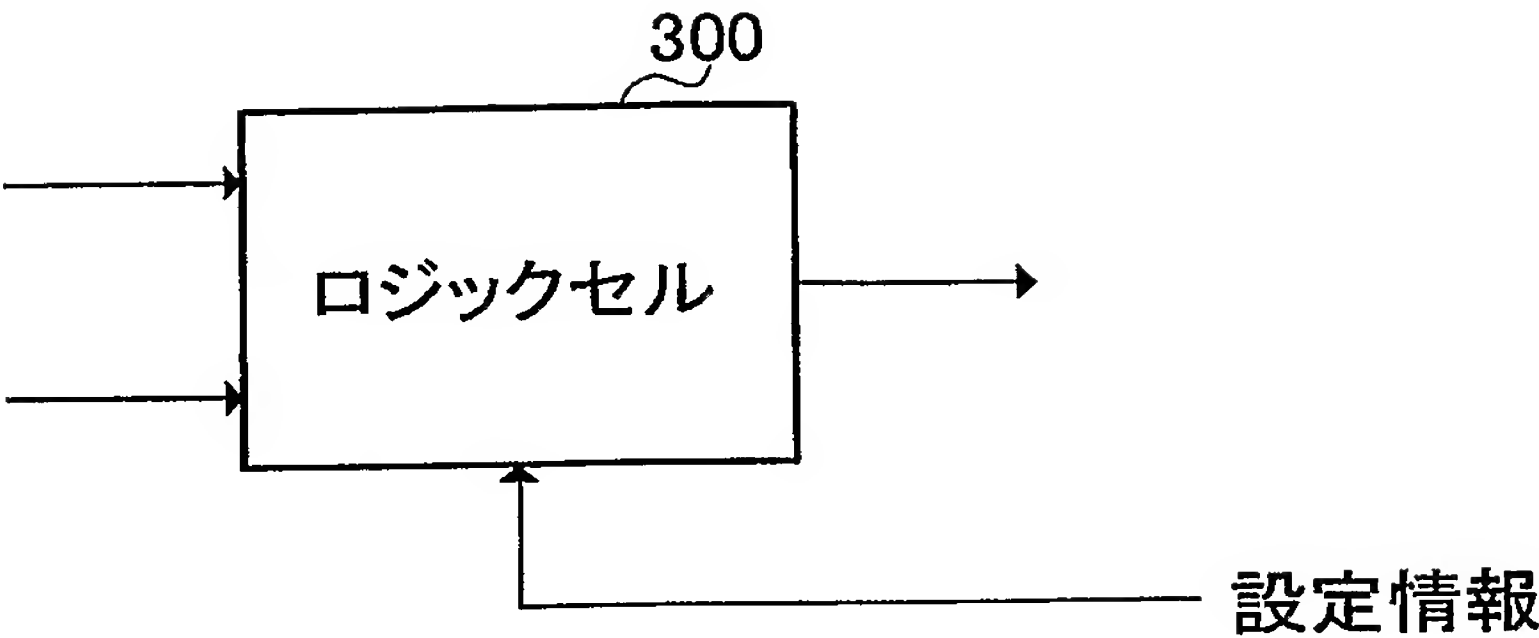
【図 3】



【図 4】



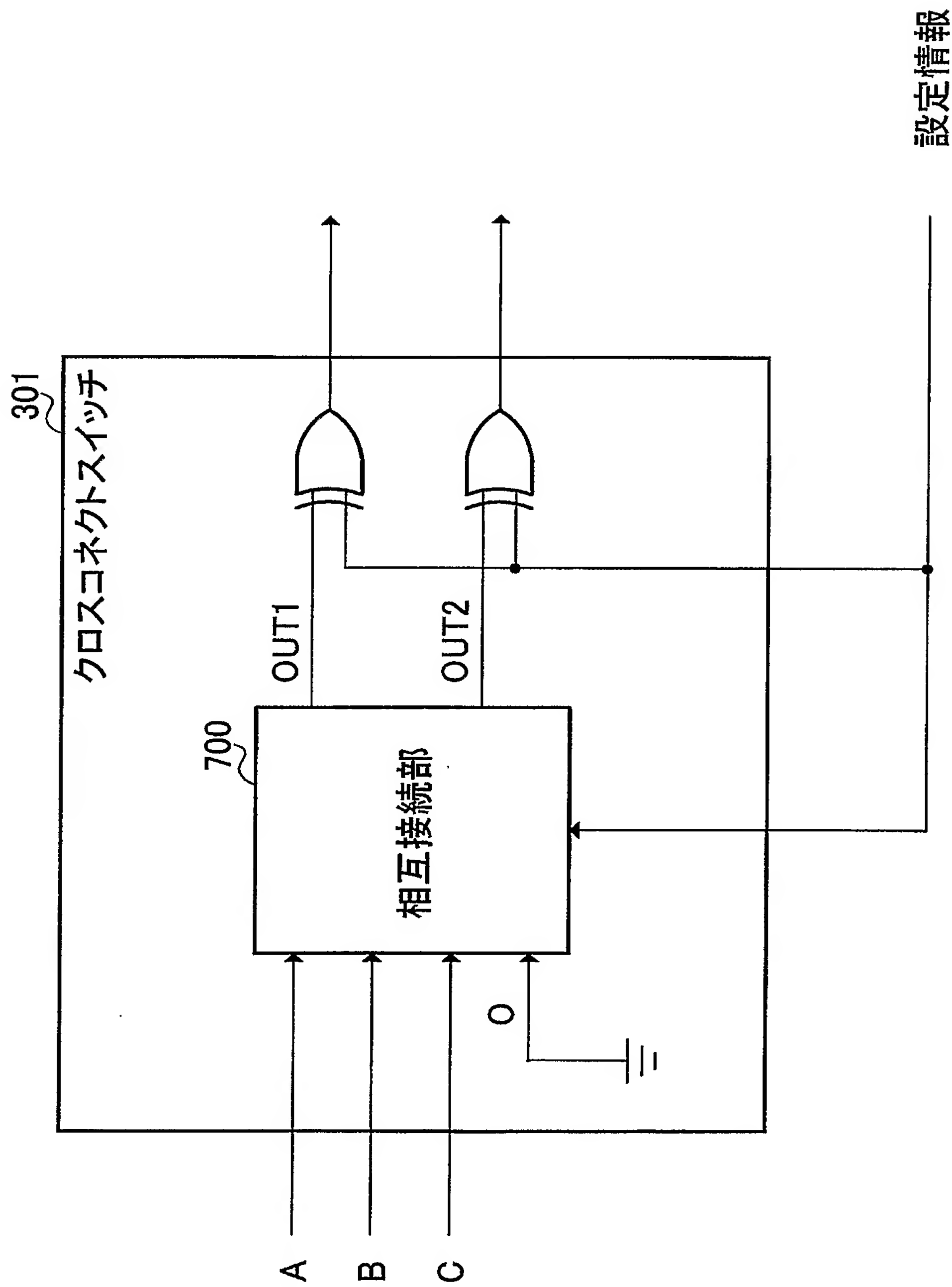
【図 5】



【図 6】

		設定情報			
		00	01	10	11
入力データ	00	0	0	0	1
	01	1	0	1	0
	10	1	0	1	0
	11	1	1	0	0

【図 7】

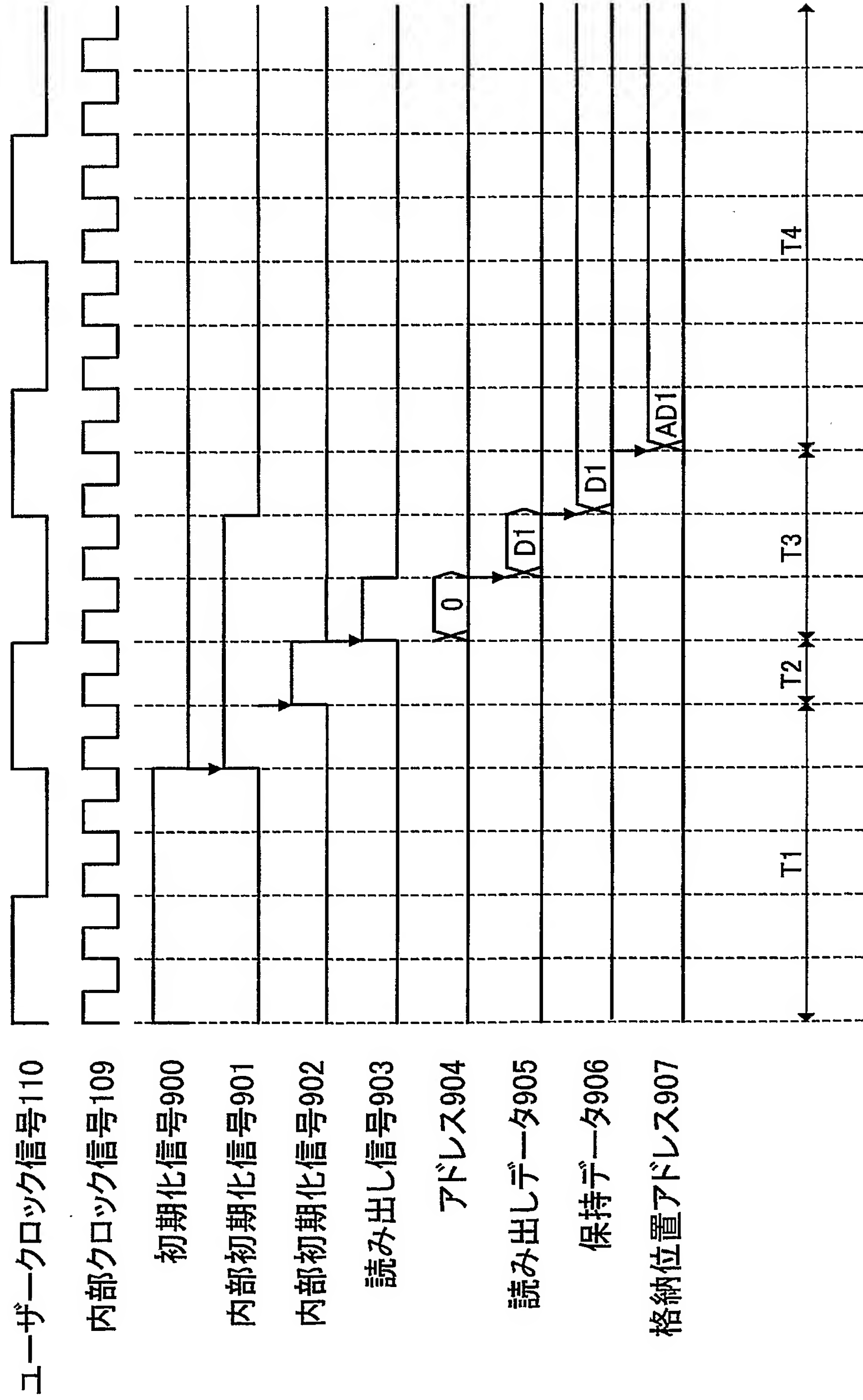


設定情報

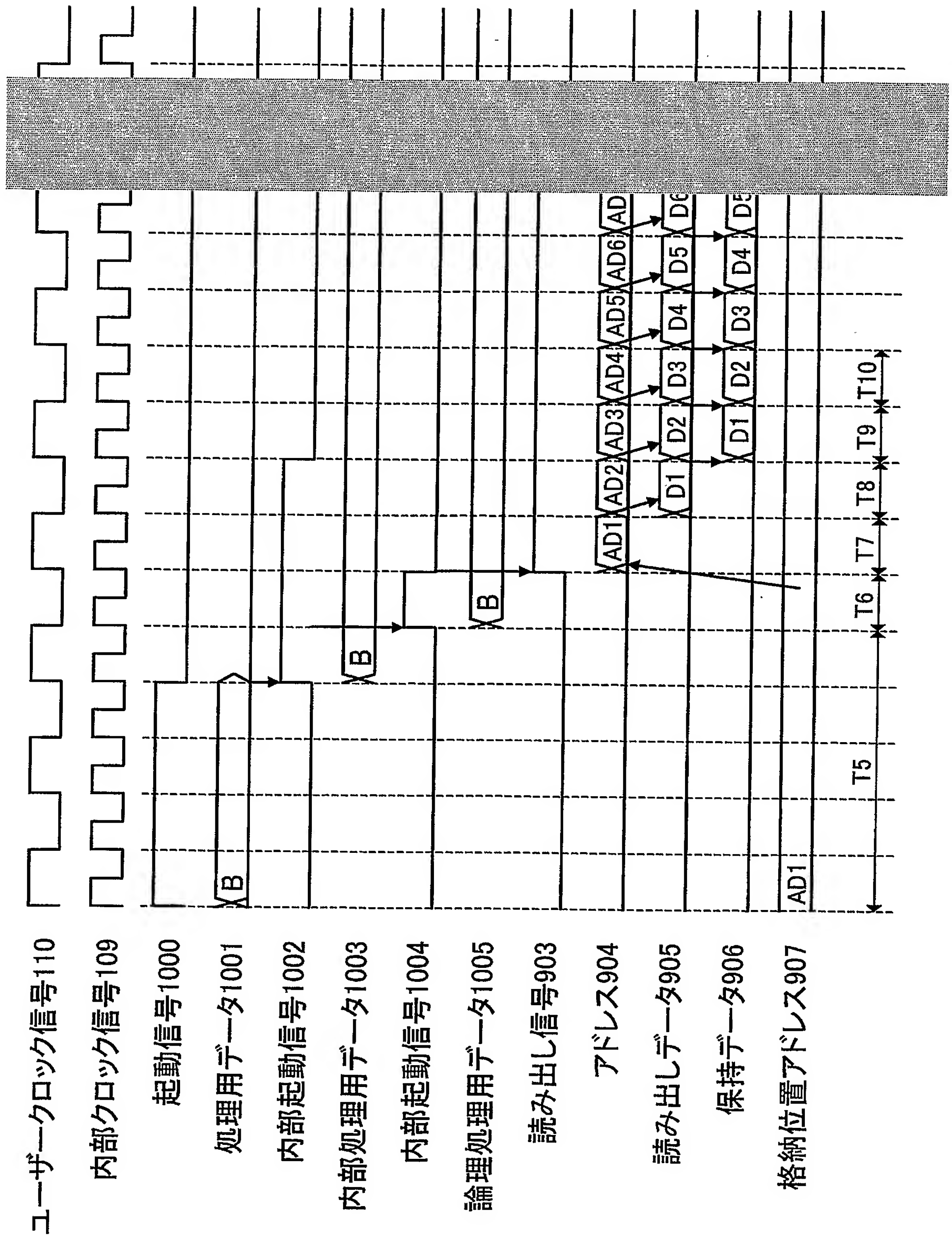
【図 8】

		出力データ	
		OUT1	OUT2
設定情報	0000	A	A
	0001	A	B
	0010	A	C
	0011	A	O
	0100	B	A
	0101	B	B
	0110	B	C
	0111	B	O
	1000	C	A
	1001	C	B
	1010	C	C
	1011	C	O
	1100	O	A
	1101	O	B
	1110	O	C
	1111	O	O

【図 9】



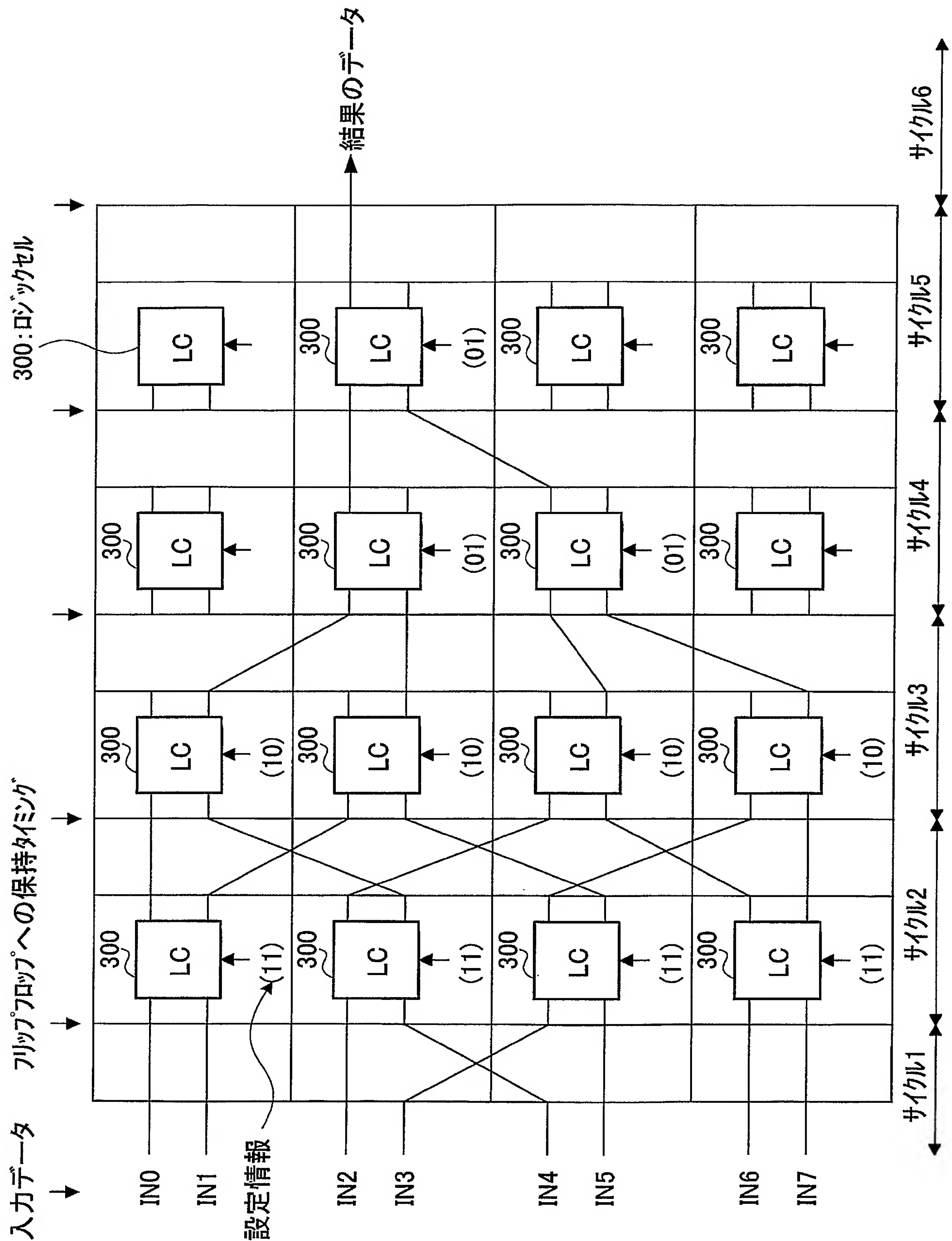
【図 10】



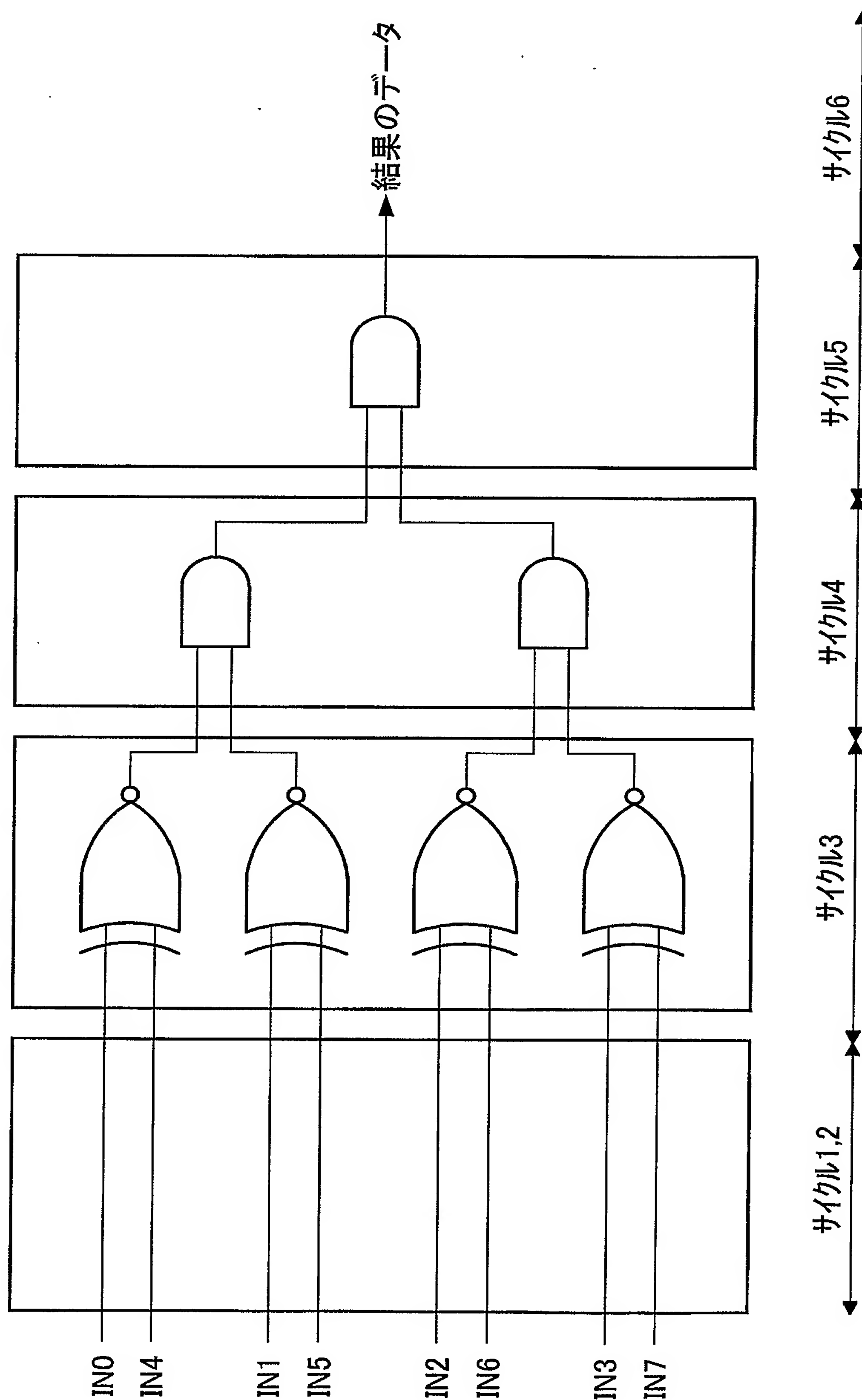
【図 1 1】

		設定情報			
		00	01	10	11
入力データ	00	01	01	01	00
	01	10	01	10	01
	10	10	01	10	10
	11	10	10	01	11

【図 1 2】



【図 1 3】



【書類名】 要約書**【要約】**

【課題】 高い面積効率を有し、大規模な論理回路を高速に実現可能である低価格のプログラマブル論理回路を提供すること。

【解決手段】 入出力制御回路 1 0 3 は、入力信号に基づいて制御信号を複数のプロセッサエレメント 1 0 1 に与え、インデクス指示信号を受けた時にインデクス情報を複数のプロセッサエレメント 1 0 1 に与える。メモリ制御部 2 0 1 は、前記制御信号及び前記インデクス情報のいずれかに基づいてメモリ装置 1 0 2 における第 1 及び第 2 の設定情報の格納位置アドレスの先頭位置を示す先頭位置アドレスを記憶する。複数のプロセッサエレメント 1 0 1 の各々が、メモリ制御部 2 0 1 に記憶されている前記先頭位置アドレスに基づいてメモリ装置 1 0 2 から順次に読み出す前記第 1 及び第 2 の設定情報のいずれかに基づいてプロセッサエレメント 1 0 1 の一部又は全ての機能を順次に変更して所定の順序回路の動作を行う。

【選択図】 図 1

特願 2 0 0 4 - 0 3 5 0 4 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社